

CLIPPEDIMAGE= JP364001233A

PAT-NO: JP364001233A

DOCUMENT-IDENTIFIER: JP 64001233 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE AND MASK USED IN THE SAME

PUBN-DATE: January 5, 1989

INVENTOR-INFORMATION:

NAME

YOSHIZUMI, KEIICHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP62155450

APPL-DATE: June 24, 1987

INT-CL (IPC): H01L021/30; H01L021/30 ; H01L021/76 ; H01L027/04

US-CL-CURRENT: 438/780

ABSTRACT:

PURPOSE: To form a desired groove width even on a bent pattern by forming an auxiliary light transmitting region on a rectangular framelike strip-shaped bent light transmission section of a mask when the resist of a wafer main face is under-exposed to form a trench by the mask with a light transmitting region basically formed with a rectangular framelike pattern.

CONSTITUTION: A mask 1 is so formed at the striplike bent light transmitting section 18 of a rectangular framelike pattern 4 that the 4 corners of a rectangular well shielding region 2a surrounded by a striplike light transmitting section 3 are so lacked as to trim at 45° and the triangular cutouts form auxiliary light transmitting regions 19. Accordingly, in order to form a fine pattern, even if a resist is photosensed by underexposing, the resist 15 is punched in a rectangular frame shape, and the corners of the rectangular frame are formed in a shape bent perpendicular at the

groove having
a predetermined width (b). The trench 6 is so formed as to
coincide with the
fine rectangular framelike photosensitive pattern 30. Thus, the
groove having
a desired isolation breakdown strength can be formed.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 昭64-1233

⑤ Int.Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 昭和64年(1989)1月5日
H 01 L 21/30 3 6 1 Z-7376-5F
3 0 1 P-7376-5F
21/76 Z-7376-5F
27/04 L-7131-5F
C-7514-5F 審査請求 未請求 発明の数 2 (全8頁)

⑭ 発明の名称 半導体デバイスの製造方法およびその方法に用いるマスク

⑮ 特 願 昭62-155450

⑯ 出 願 昭62(1987)6月24日

⑰ 発 明 者 吉 住 圭 一 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体デバイスの製造方法およびその方法に用いるマスク

2. 特許請求の範囲

1. 半導体基板の主面に絶縁膜およびこの絶縁膜上に設けられるホトレジスト膜をそれぞれ形成する工程と、帯状屈曲透光部を有するマスクを使用して前記ホトレジスト膜を露光させる工程と、前記露光によって透光したホトレジスト膜部分を除去する工程と、前記ホトレジスト膜をマスクとして前記絶縁膜を除去する工程と、前記ホトレジスト膜および/または絶縁膜をマスクとして異方性ドライエッチングによって基板主面に溝を形成する工程と、を有する半導体デバイスの製造方法であって、前記マスクにおける帯状屈曲透光部においては、屈曲部の角部内側に補助透光領域が設けられていることを特徴とする半導体デバイスの製造方法。

2. 前記露光はアンダー露光によって行われるこ

とを特徴とする特許請求の範囲第1項記載の半導体デバイスの製造方法。

3. 前記溝はアイソレーション用溝となることを特徴とする特許請求の範囲第1項記載の半導体デバイスの製造方法。

4. 帯状屈曲透光部を有するマスクであって、前記マスクの帯状屈曲透光部においては、屈曲部の角部内側に補助透光領域が設けられていることを特徴とするマスク。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体デバイス製造において、半導体基板の主面に溝、特に深くかつ溝幅が狭い深溝(トレンチ)を形成する技術、たとえば、溝素子分離やトレンチキャパシタの製造技術に適用して有効な技術に関する。

(従来の技術)

集積回路における各素子を電気的に分離する技術(アイソレーション技術)として、pn接合による全面pn接合分離技術、側壁絶縁物分離技術、

全面絶縁物分離技術が知られている。また、前記側壁絶縁物分離技術においては、LOCOS (Local Oxidation of Silicon)、Isoplanarと呼称される選択酸化法やV-溝、U-Iso (U-groove Isolation)と呼称されている溝埋め込み法(トレンチアイソレーション)がある。

前記溝埋め込み法については、たとえば、サイエンス・フォーラム社発行「超LSIデバイスハンドブック」1983年、P139~P143に記載されている。

(発明が解決しようとする問題点)

集積回路(IC)等を組み込んだICチップは、一枚の半導体基板(ウエハ)に縦横にそれぞれ単位集積回路素子を製造した後、このウエハを縦横に分断することによって製造される。このため、一枚のウエハにより多くの単位集積回路素子を形成することが、ICチップコストの低減に繋がる。単位集積回路素子をより小型にする手段としては、

において、ハッチングを施した領域が光を透過しない遮光領域2であり、他の帯状の空白領域が光を透過する透光領域(帯状透光部)3である。トレンチアイソレーションは、通常矩形枠状に設けられ、この矩形枠内のアイランド(ウェル)に素子、たとえば、トランジスタ等が形成される。したがって、前記マスク1における帯状透光部3は矩形枠パターン4が基本となる。

ところで、このようなマスク1を用いて半導体基板(ウエハ)の主面にトレンチ(溝:深溝)を形成した場合、第12図に示されるように、ウエハ5の主面に矩形状に配設されたトレンチ6の角部7にあっては、角部内側部分はトレンチ6の幅を狭めるように突出して突出部8を形成し、角部外側は90度に折れ曲がることなく、トレンチ6の幅を狭めるように円弧を描き丸み部9を形成してしまい、この角部7の溝幅aは、直線的に延在するトレンチ部分の溝幅bに比較して狭くなってしまう現象が発生する。これは、微細パターンを形成する等の理由から、レジストの露光にあって

単位集積回路素子における各素子をより一層小型化することも重要であるが、各素子間を電氣的に分断する際に分断領域(アイソレーション領域)の幅の短縮化も重要である。

前記アイソレーション領域幅を短くする技術として、前述のように、V-溝、U-Isoと呼称されている溝埋め込み法が開発されている。

この溝埋め込み法によれば、溝の幅は、たとえば、2 μ m程度にすることができる。また、溝の深さは、溝幅に関係なく所望の深さにすることができ、たとえば、5 μ mと深くすることもできる。これらのことから、この溝はトレンチ(深溝)とも呼称されている。

ところで、このようなトレンチアイソレーションの製造において、以下に記すように、素子の角部で十分なアイソレーション耐圧が得られない現象が発生するということが本発明者によってあきらかにされた。

すなわち、第11図は、従来のアイソレーション用マスク1の概要を示す平面図である。この図

は、露光時間が最低時間となる、いわゆるアンダー露光で行われることによるものである。このため、前述のように、矩形枠状に感光される感光パターンにおいて、角部7で感光不良を起こし、第10図に示されるように、角部内側部分が尖り、角部外側部分が円弧状となってしまう。

トレンチ6は、たとえば、第13図に示されるように、ウエハ5の主面に設けられる。ウエハ5は、たとえば、p形シリコンからなる半導体基板10と、この半導体基板10の主面にそれぞれ形成されたn⁺形の埋込層11およびこの埋込層11上に設けられたn形層12とからなっている。また、トレンチ6の形成に際しては、ウエハ5の主面には絶縁膜が設けられる。この絶縁膜は、たとえば、同図では、ウエハ5の主面に載るSiO₂膜13と、このSiO₂膜13上に載るSi₃N₄膜14とからなっている。

このようなトレンチ6において、トレンチ幅wが小さいと、n⁺形の埋込層11の間隔が狭くなり、寄生pnpトランジスタが動作し易くなる。

また、トレンチ6の埋込層11の下縁からの深さdが小さいと、アイソレーション耐圧が劣化し、デバイスの高速動作あるいは低速動作時不良を引き起こしてしまう。さらにレジストの感光幅が狭いことに起因するエッチング不足によって溝底が尖った形状となるような場合、トレンチ側面に図示しない絶縁膜を形成する際結晶欠陥を起こし易くなる。

本発明の目的は、屈曲パターン部分でも所望溝幅を形成することができる溝形成技術を提供することにある。

本発明の他の目的は、アイソレーション耐圧の高い半導体デバイス製造技術を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

(問題点を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

有する溝(トレンチ)を形成することができる。

(実施例)

以下図面を参照して本発明の一実施例について説明する。

第1図は本発明の一実施例によるマスクの模式的平面図、第2図は同じくレジストの感光パターンを示すウエハの平面図、第3図は実際に使用されるマスクパターンに近似したマスクの模式的平面図、第4図～第9図は同じくトレンチの形成工程を示す断面図であって、第4図は現像されたレジスト部分を示すウエハの断面図、第5図は絶縁膜が部分エッチングされた状態を示すウエハの断面図、第6図はトレンチが設けられた状態のウエハの断面図、第7図はトレンチに絶縁膜が埋め込まれて形成されたU-Iso部分の断面図、第8図、第9図はトレンチに多結晶シリコン(Poly Si)を埋め込む工程を示した断面図、第10図は溝U-Isoによってアイソレートされたウェルに設けられたトランジスタを示す断面図である。

る。

すなわち、本発明においては、透光領域が矩形枠状パターンを基本とするマスクを使用して、ウエハ主面のレジストをアンダー露光し、その後、露光によるレジストの感光部分を除去した後、残留するレジストをマスクとしてトレンチを形成するに際して、マスクの矩形枠状の帯状屈曲透光部において、屈曲部の角部内側に補助透光領域が設けられている。

(作用)

上記した手段によれば、本発明によれば、半導体デバイスの製造におけるU-Isoの形成にあつて、アンダー露光によってウエハ主面に矩形枠状にレジストを感光させた場合、マスクの矩形枠状の帯状屈曲透光部には補助透光領域が設けられていることから、アンダー露光によってもレジストの矩形枠状に感光された感光部は、その角部でもアンダー露光による感光目減り分が補填されるように感光されるため、所望幅を有して感光が行えることとなり、所望のアイソレーション耐圧を

この実施例では、シリコン半導体基板の主面にU-Isoによってウェルを形成し、このウェル内にトランジスタを形成する例について説明する。U-Isoとしては幅1.9 μ m、深さ5 μ mのものが形成される。この場合、マスクの帯状透光部の幅は0.9 μ mとなる。

最初にウエハ5が用意される。このウエハ5は第4図に示されるように、たとえば、p形シリコンからなる半導体基板10と、この半導体基板10の主面にそれぞれ形成されたn⁺形の埋込層11およびこの埋込層11上に設けられたn形層12とからなっている。また、U-Isoの形成に先立って、第6図に示されるように、トレンチ6が形成される。このトレンチ6を形成するために、第4図に示されるように、前記ウエハ5の主面全域には絶縁膜およびレジスト15が設けられる。この絶縁膜は、ウエハ5の主面に載る0.1 μ m程度の厚さのSiO₂膜13およびこのSiO₂膜13上に載る0.5 μ m程度の厚さのSi₃N₄膜14ならびにこのSi₃N₄膜14上に載る

1. $6\mu\text{m}$ 程度の厚さのPSG(リン・シリケートガラス)膜16とからなっている。

このようなウエハ5は、縮小投影露光装置、たとえば、5対1ステッパーで露光されかつ、現像処理されて、第4図に示されるような溝17が形成される。この場合、使用されるマスク1は、第1図に示されるようなパターンを有している。同図において、ハッチングで示される領域が透光領域2であり、空白領域が透光領域(帯状透光部)3である。同図に示される帯状透光部3は、ウェルを形成するための基本的パターンであり、矩形枠パターン4を構成している。したがって、この帯状透光部3には、四個所に帯状屈曲透光部18を有している。

この実施例のマスク1は、第11図に示されるような従来のマスク1と以下の点で異なる。この実施例のマスク1は、矩形枠パターン4の角部、すなわち、帯状屈曲透光部18において、角部内側に三角形の補助透光領域19を有している。すなわち、帯状透光部3によって取り囲まれる矩

形状のウェル用透光領域2aの4隅の角部は、45度に面を取られたように欠け、この三角形の欠け部分が、前記補助透光領域19を構成するようになっている。

これは、一般に微細パターン形成のためには、露光は露光量が最小となる、いわゆるアンダー露光によってレジストの感光がなされる。したがって、このアンダー露光では、矩形枠パターン4の角部にあつては、第9図に示されるように、従来のような一定幅の帯状透光部3を直交するように延在させた屈曲パターンでは、露光量が少な目となるため、帯状屈曲透光部18では、前記第12図に示すような感光不充分現象が生じる。

そこで、この実施例では、この感光不充分量を埋め合わせるように、矩形枠パターン4の角部に補助透光領域19を設けていることから、第2図に示されるように、レジスト15の矩形枠パターンの屈曲部分も充分な幅に亘って感光される。この結果、レジスト15は矩形枠状に抜かれ、矩形枠の角部は一定幅bの溝を直角に屈曲させた形状

となる。そして、後述するトレンチ6は、このファインな矩形枠状の感光パターン20と一致するように形成される。なお、感光パターン20は第2図においてハッチングで示されている。

つぎに、前記レジスト15をマスクとして、PSG膜16がエッチングされる。この場合もエッチングはレジスト15の抜きパターン通りに正確にエッチングされ、ファインパターンとなる。その後、前記レジスト15が除去されかつ第5図に示されるように、それぞれエッチャントを代えてSi、N。膜14およびSiO₂膜13がエッチング除去される。このSi、N。膜14およびSiO₂膜13も前記レジスト15の抜きパターン通りに正確にエッチングされ、ファインパターンとなる。

つぎに、第6図に示されるように、異方性ドライエッチングを行い、n形層12および埋込層11を連続的にエッチングし、半導体基板10の表面層部にまで到達する深溝(トレンチ)6を形成する。このトレンチ6は、溝幅が1.2 μm 、深さ

が5 μm となっている。また、このエッチングにおいて、レジスト15によって構成される矩形枠パターンは、前述のようにファインパターンとなっていることから、トレンチ6の角部7も形を損なうことなくエッチングされるため、角部7の溝幅は、第6図に示されるように、直線的に延在するトレンチ6の溝幅bよりも狭くならない。また、トレンチ6の溝底もエッチング不足なくエッチングされる。この結果、埋込層11からトレンチ6の底までの深さdおよび溝幅wは、それぞれ所望寸法となり、所望のアイソレーション耐圧が得られることとなる。

つぎに、第7図に示すように、前記n形層12上のPSG膜16を除去した後、トレンチ6の内壁を酸化して、絶縁膜、たとえば、SiO₂膜21を形成する。つぎに、Si、N。膜14を除去した後、第8図に示すように、ポリシリコン膜23を、たとえば、CVD法により被着させてトレンチ6を埋める。その後、余分なポリシリコン膜23をエッチング除去して、第9図に示すように、

U-Iso24を形成する。このエッチングは平坦化処理で、この処理によってU-Iso24で取り囲まれたウェル(機能素子部)25とU-Iso24を同じ高さにし、ウエハ5の主面の平坦化を図る。その後、絶縁膜13をエッチング除去し、その後、さらにU溝上部に絶縁膜22を形成し、U溝アイソレーションが完成する。

その後、このウエハ5を用いて常用の手順によって機能素子、たとえば、第10図に示されるように、ウェル25にエミッタ(E)、ベース(B)、コレクタ(C)からなるトランジスタを形成する。トランジスタは、前記n形層12の一部の表層部に設けられたp形のベース領域26と、このベース領域26の一部の表層部に設けられたn形のエミッタ領域27とを有している。また、前記ベース領域26上にはベース電極28が設けられ、かつエミッタ領域27上にはエミッタ電極29が設けられている。また、前記n形層12には、下層の埋込層11に到達するn⁺形領域30が設けられるとともに、このn⁺形領域30上に

はコレクタ電極31が設けられている。なお、32は絶縁膜である。

このように、ウエハ5のウェル25には機能素子が形成される。なお、U-Iso24はウエハ5の主面に隣り合って密に設けられる。このため、U-Iso24を形成するためのトレンチ形成用には、第3図に示されるようなマスク1が用いられる。同図は、3つのウェルを形成するために枠状の帯状透光部3が3組設けられた模式的図である。この場合、隣り合う矩形枠パターン4は、矩形枠パターン4の一辺を共用する構造となる。各矩形枠パターン4の角部、すなわち、帯状屈曲透光部18にあつては、それぞれ補助透光領域19が設けられ、トレンチ6の角部がファインに形成されるようになっている。なお、補助透光領域19を設けない場合、第12図に示されるようなトレンチ6の角部の溝幅が狭くなる現象は、複数の矩形枠パターン4の各帯状屈曲透光部18が突き合わせ状態となる部分で発生し難くなる。したがって、場合によっては、帯状透光部3が十字路状

にあるいはT字路状に延在する部分では、前記帯状屈曲透光部18部分に補助透光領域19を設けなくともよい場合もある。これは、所望のアイソレーション耐圧の程度によって選択決定すればよい。

このような実施例によれば、つぎのような効果が得られる。

- (1) 本発明のトレンチ形成用のマスクにあつては、矩形枠状にレジストを感光させるに際して、マスクの帯状屈曲透光部に、アングラ露光によって生じる感光の目減り分に見合うような三角形の補助透光領域が設けられているため、レジストの直角に屈曲する帯状パターンが所望の寸法通りに感光されることになる。この結果、ウエハ主面に矩形枠パターン状に設けられるトレンチも適性なエッチングによって形成されることから、屈曲部角部で溝幅が部分的に狭くなったり、溝底が尖るようなこともなくなるという効果が得られる。
- (2) 上記(1)により、本発明によれば、トレンチの溝幅、深さが適性に形成できるため、再現

性良く高いアイソレーション耐圧を有するトレンチを形成することができるという効果が得られる。

(3) 上記(2)により、本発明によれば、前記トレンチの製造マージンが向上するという効果が得られる。

(4) 上記(2)により、本発明によれば、前記トレンチに絶縁膜を被着したり、あるいは絶縁膜等を埋め込むことによって、アイソレーション耐圧の高いU-Isoを形成することができるという効果が得られる。

(5) 上記(2)により、本発明によれば、前記トレンチの溝底は局部的に尖ったりしないことから、絶縁膜を被着させる熱処理時、半導体結晶に転位等の結晶欠陥が発生しなくなり、品質の優れた信頼度の高いU-Isoが形成できるという効果が得られる。

(6) 上記(1)～(5)により、本発明によれば、アイソレーション耐圧が高くかつアイソレーション幅の狭いU-Isoを高歩留りで形成できることから、高密度高集積度な半導体デバイスを

安価に提供することができるという相乗効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるU溝アイソレーション技術に適用した場合について説明したが、本発明はそれに限定されるものではない。たとえば、トレンチの壁面に絶縁膜を被着させ、かつ溝内に電極である多結晶シリコンを埋め込んで形成するトレンチキャパシタ技術にも適用できる。また、n形ウェルとp形ウェルとの間にU-Isoを設けるラッチアップ対策技術にも適用できる。

少なくとも、本発明はトレンチ形成技術には適用できる。

(発明の効果)

ウエハの平面図、

第3図は実際に使用されるマスクパターンに近似したマスクの模式的平面図、

第4図は同じくトレンチの形成工程における現像されたレジスト部分を示すウエハの断面図、

第5図は同じく絶縁膜が部分エッチングされた状態を示すウエハの断面図、

第6図は同じくトレンチが設けられた状態のウエハの断面図、

第7図～第9図はトレンチに絶縁膜が埋め込まれて形成されるU-Isoの製法を示す断面図、

第10図は同じく溝U-Isoによってアイソレートされたウェルに設けられたトランジスタを示す断面図、

第11図は従来のマスクを示す模式的平面図、

第12図は従来マスクを使用して形成された溝を示すウエハの平面図、

第13図は同じく溝の断面図である。

1・・・マスク、2・・・遮光領域、3・・・帯状透光部、4・・・矩形枠パターン、5・・・

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明によれば、半導体デバイスの製造におけるU-Isoの形成にあつて、アンダー露光によってウエハ主面に矩形枠状にレジストを感光させた場合、マスクの矩形枠状の帯状屈曲透光部には補助透光領域が設けられていることから、アンダー露光によってもレジストの矩形枠状に感光された感光部は、その角部でもアンダー露光による感光目減り分が補填されるように感光されるため、所望幅を有して感光が行えることとなり、所望のアイソレーション耐圧を有する溝(トレンチ)を形成することができる。したがって、アイソレーション耐圧の優れた半導体デバイスを製造することができる。

4. 図面の簡単な説明

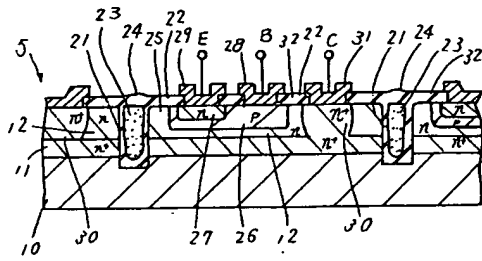
第1図は本発明の一実施例によるマスクの模式的平面図、

第2図は同じくレジストの感光パターンを示す

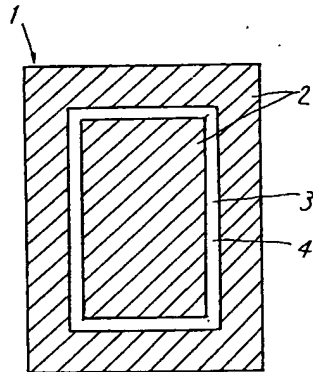
ウエハ、6・・・トレンチ、7・・・角部、8・・・突出部、9・・・丸み部、10・・・半導体基板、11・・・埋込層、12・・・n形層、13・・・SiO₂膜、14・・・Si₃N₄膜、15・・・レジスト、16・・・PSG膜、17・・・溝、18・・・帯状屈曲透光部、19・・・補助透光領域、20・・・感光パターン、21・・・SiO₂膜、22・・・絶縁膜、24・・・U-Iso、25・・・ウェル、26・・・ベース領域、27・・・エミッタ領域、28・・・ベース電極、29・・・エミッタ電極、30・・・n⁺形領域、31・・・コレクタ電極。

代理人 弁理士 小川勝男

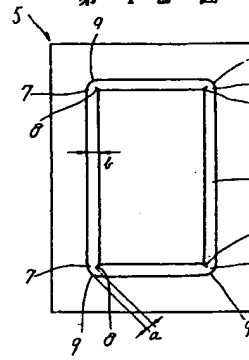
第 1 0 圖



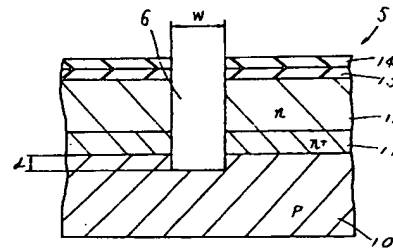
第 1 1 圖



第 1 2 圖



第 1 3 圖



7—角部
8—突出部
9—孔部